

#2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

JC986 U.S. PTO
 10/007384
 10/22/01

Applicant : Eiji Nishibe et al. Art Unit : Unknown
 Serial No. : Examiner : Unknown
 Filed : October 22, 2001
 Title : SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Commissioner for Patents
 Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

· Japan Application No. 2000-372228 filed December 7, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,



Chris T. Mizumoto
Reg. No. 42,899

Date: October 22, 2001

Fish & Richardson P.C.
 45 Rockefeller Plaza, Suite 2800
 New York, New York 10111
 Telephone: (212) 765-5070
 Facsimile: (212) 258-2291

30070017.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EF045065412US

I hereby certify under 37 CFR §1.10 that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

October 22, 2001

Date of Deposit



Signature

Francisco Robles

Typed or Printed Name of Person Signing Certificate

日本国特許庁
JAPAN PATENT OFFICE

JC986 U.S.PTO
10/007384
10/22/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2000年12月 7日

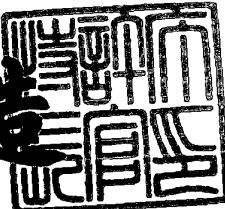
出願番号
Application Number: 特願2000-372228

出願人
Applicant(s): 三洋電機株式会社

2001年 9月14日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3085259

【書類名】 特許願

【整理番号】 KIA1000090

【提出日】 平成12年12月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内

【氏名】 西部 栄次

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式
会社内

【氏名】 菊地 修一

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 法務・知的財産部
東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特2000-372228

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板内の第2導電型ウエル領域上に形成された素子分離膜及び第1のゲート絶縁膜と、この素子分離膜及び第1のゲート絶縁膜以外の基板上に形成された第2のゲート絶縁膜と、この第1、第2のゲート絶縁膜上に跨るように形成されたゲート電極に隣接するように形成された第1導電型ボディー領域と、この第1導電型ボディー領域内に形成された第2導電型のソース領域並びにチャネル領域と、当該第1導電型ボディー領域と離間された位置に形成された第2導電型のドレイン領域とを有する半導体装置において、

前記素子分離膜及び前記第1のゲート絶縁膜とが、LOCOS法により前記基板上に形成された絶縁膜がパターニング形成されて成ることを特徴とする半導体装置。

【請求項2】 第1導電型の半導体基板内の第2導電型ウエル領域上にLOCOS法により前記基板上に形成した絶縁膜の側壁部がテーパー形状となるようパターニング形成された素子分離膜及び第1のゲート絶縁膜と、

前記素子分離膜及び前記第1のゲート絶縁膜以外の基板上に形成された第2のゲート絶縁膜と、

前記第1、第2のゲート絶縁膜上に跨るように形成されたゲート電極と、

前記ゲート電極に隣接するように形成された第1導電型ボディー領域と、

前記第1導電型ボディー領域内に形成された第2導電型のソース領域並びにチャネル領域と、

前記第1導電型ボディー領域と離間された位置に形成された第2導電型のドレイン領域とを具備したことを特徴とする半導体装置。

【請求項3】 前記第1のゲート絶縁膜は、少なくとも前記基板表面位置よりも下には形成されていないことを特徴とする請求項1あるいは請求項2に記載の半導体装置。

【請求項4】 前記第1のゲート絶縁膜は、少なくとも前記第1導電型ボディー領域の端部と当該第1のゲート絶縁膜の端部との間で局部電流密集が発生し

ないように前記基板表面位置よりも下には形成されていないことを特徴とする請求項1あるいは請求項2に記載の半導体装置。

【請求項5】 第1導電型の半導体基板内に第2導電型不純物をイオン注入し拡散することで第2導電型ウエル領域を形成する工程と、

前記第2導電型ウエル領域の所定領域上に形成したレジスト膜をマスクにして第1導電型不純物を注入し拡散することで第1導電型ボディー領域を形成する工程と、

前記基板上をLOCOS法によりフィールド酸化して絶縁膜を形成した後に当該絶縁膜上の所定領域に形成したレジスト膜をマスクにし当該絶縁膜をパターニングして第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜以外の基板上に第2のゲート絶縁膜を形成し、この第1，第2のゲート絶縁膜上に跨るようにゲート電極を形成する工程と、

前記第1導電型ボディー領域内に形成するソース形成領域上及び前記第2導電型ウエル領域内に形成するドレイン形成領域上に開口を有するレジスト膜をマスクにして第2導電型不純物を注入してソース・ドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 前記第1のゲート絶縁膜を形成する工程が、素子分離膜を形成する工程と同一工程であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第1のゲート絶縁膜を形成する工程が、少なくとも前記基板表面位置よりも下には形成しないことを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】 前記第1のゲート絶縁膜を形成する工程が、少なくとも前記第1導電型ボディー領域の端部と当該第1のゲート絶縁膜の端部との間で局部電流密集が発生しないように前記基板表面位置よりも下には形成しないことを特徴とする請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、例えば液晶駆動用IC等に利用される高電圧素子としてのLD (Lateral Double Diffused) MOSトランジスタ技術に関する。

【0002】

【従来の技術】

ここで、LD MOSトランジスタ構造とは、半導体基板表面側に形成した領域に対して、導電型の異なる不純物を拡散させて、新たな領域を形成し、これらの領域の横方向拡散の差を実効チャネル長として利用するものであり、短いチャネルが形成されることで、低オン抵抗化に適した素子となる。

【0003】

図9は、従来のLD MOSトランジスタを説明するための断面図であり、一例としてNチャネル型のLD MOSトランジスタ構造について図示してある。尚、Pチャネル型のLD MOSトランジスタ構造についての説明は省略するが、導電型が異なるだけで、同様な構造となっているのは周知の通りである。

【0004】

図9において、51は一導電型、例えばP型の半導体基板(P-Sub)で、52はN型ウエル領域で、このN型ウエル領域(Nウエル)52内にP型ボディー領域(PB)53が形成されると共に、このP型ボディー領域53内にはN型(N+)領域54が形成され、また前記N型ウエル領域52内にN型(N+)領域55が形成されている。基板表面には第1のゲート絶縁膜56と当該第1のゲート絶縁膜56よりも膜厚の薄い第2のゲート絶縁膜57とに跨るようにゲート電極58が形成されており、このゲート電極58直下のP型ボディー領域53の表面領域にはチャネル領域59が形成されている。

【0005】

そして、前記N+領域54をソース領域、N+領域55をドレイン領域とし、N型ウエル領域52をドリフト領域としている。また、60は素子分離膜、Sはソース電極、Gはゲート電極、Dはドレイン電極であり、61はP型ボディー領域53の電位を取るためのP型(P+)領域で、62は層間絶縁膜である。

【0006】

上記LDMOSトランジスタにおいては、N型ウエル領域52を拡散形成することで、N型ウエル領域52表面での濃度が高くなり、N型ウエル領域52表面での電流が流れ易くなると共に、高耐圧化を図ることができる。

【0007】

【発明が解決しようとする課題】

上述したようなLDMOSトランジスタにおいて、前記P型ボディー領域53の端部と、第1のゲート絶縁膜56の端部との間で局部電流密集（図9に示すA領域）が発生し、ドレイン－ソース間で電流が非常に流れ難くなっていることがシミュレーションの結果からわかった。

【0008】

そのため、特にドレイン電圧が低いときに駆動能力が足りず、オン動作しづらかった。

【0009】

これは、前記第1のゲート絶縁膜56の端部（壁）とP型ボディー領域53の端部（壁）に囲まれた空間で、等電位線が密集することが局部電流密集の原因である。更に言えば、前記第1のゲート絶縁膜56の端部（壁）とP型ボディー領域53の端部（壁）に囲まれた空間を広げることで等電位線を分散させることはできるが、微細化の妨げとなる。

【0010】

従って、本発明では、半導体基板（Si）とゲート絶縁膜（SiO₂膜）界面での凹凸領域をなくすことで等電位線を分散させ、局部電流密集を低減させることを目的とする。

【0011】

【課題を解決するための手段】

そこで、上記課題に鑑みて本発明の半導体装置は、例えば、第1導電型の半導体基板内の第2導電型ウエル領域上にその側壁部がテーパー形状となるようにパターニング形成された第1のゲート絶縁膜と、この第1のゲート絶縁膜以外の基板上に形成された第2のゲート絶縁膜と、この第1、第2のゲート絶縁膜上に跨るように形成されたゲート電極と、このゲート電極に隣接するように形成された

第1導電型ボディー領域と、この第1導電型ボディー領域内に形成された第2導電型のソース領域並びにチャネル領域と、当該第1導電型ボディー領域と離間された位置に形成された第2導電型のドレイン領域とを具備したことを特徴とする。

【0012】

また、上記半導体装置の第1のゲート絶縁膜は、少なくとも前記基板表面位置よりも下には形成されていないことを特徴とする。

【0013】

これにより、前記第1導電型ボディー領域の端部と第1のゲート絶縁膜の端部との間で局部電流密集が発生しなくなる。

【0014】

また、その製造方法は、第1導電型の半導体基板内に第2導電型不純物をイオン注入し拡散することで第2導電型ウエル領域を形成し、この第2導電型ウエル領域の所定領域上に形成したレジスト膜をマスクにして第1導電型不純物を注入し拡散することで第1導電型ボディー領域を形成する。次に、前記基板上をL.O.C.O.S法によりフィールド酸化して絶縁膜を形成した後に、当該絶縁膜上の所定領域に形成したレジスト膜をマスクにし当該絶縁膜をパターニングして第1のゲート絶縁膜を形成する。続いて、前記第1のゲート絶縁膜以外の基板上に第2のゲート絶縁膜を形成し、この第1、第2のゲート絶縁膜上に跨るようにゲート電極を形成する。更に、前記第1導電型ボディー領域内に形成するソース形成領域上及び前記第2導電型ウエル領域内に形成するドレイン形成領域上に開口を有するレジスト膜をマスクにして第2導電型不純物を注入してソース・ドレイン領域を形成する工程とを有することを特徴とする。

【0015】

更に、上記半導体装置の製造方法による第1のゲート絶縁膜を形成する工程が、素子分離膜を形成する工程と同一工程であることを特徴とする。

【0016】

また、上記半導体装置の製造方法による第1のゲート絶縁膜を形成する工程が、少なくとも前記基板表面位置よりも下には形成しないことを特徴とする。

【0017】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について図面を参考しながら説明する。

【0018】

図8は本発明の半導体装置、特にLDMOStランジスタを説明するための断面図であり、一例としてNチャネル型のLDMOStランジスタ構造について図示してある。尚、Pチャネル型のLDMOStランジスタ構造についての説明は省略するが、導電型が異なるだけで、同様な構造となっているのは周知の通りである。

【0019】

図8において、1は一導電型、例えばP型の半導体基板(P-Sub)で、2はN型ウエル領域(Nウエル)で、このN型ウエル領域2内にP型ボディー領域(PB)4が形成されると共に、このP型ボディー領域4内にはN型(N+)領域11が形成され、また前記N型ウエル領域2内にN型(N-)領域3が形成されると共に、このN-領域3内にはN型(N+)領域12が形成されている。

【0020】

また、基板表面には第1のゲート絶縁膜7Aと当該ゲート絶縁膜7Aよりも膜厚の薄い第2のゲート絶縁膜8とに跨るようにゲート電極9が形成されており、このゲート電極9直下のP型ボディー領域4の表面領域にはチャネル領域13が形成されている。

【0021】

そして、前記N+領域11をソース領域、N-領域3及びN+領域12をドレイン領域とし、N型ウエル領域2をドリフト領域としている。また、7Bは素子分離膜、Sはソース電極、Gはゲート電極、Dはドレイン電極であり、14はP型ボディー領域4の電位を取るためのP型(P+)領域で、15は層間絶縁膜である。

【0022】

ここで、本発明の半導体装置の特徴は、図8に示すように第1のゲート絶縁膜

7Åが、少なくとも半導体基板1の表面位置よりも下には形成されていないことである。

【0023】

これにより、従来（図9）のような第1のゲート絶縁膜56が基板表面下にも形成される構造のものに比して、本発明ではP型ボディー領域の端部と第1のゲート絶縁膜の端部との間で局部電流密集が発生しない構造となっている。

【0024】

以下、上記半導体装置の製造方法について図面を参照しながら説明する。

【0025】

先ず、図1において、例えばP型の半導体基板1上に形成したレジスト膜（図示省略）をマスクにして前記基板1の所望領域にN型不純物をイオン注入し、当該不純物を拡散させることで、N型ウエル領域2を形成する。ここで、前記N型ウエル領域2は、ドリフト領域を構成することになる。尚、本工程では、N型不純物として、例えばリンイオンをおよそ160KeVの加速電圧で、およそ $5.0 \times 10^{12} / \text{cm}^2$ の注入条件で行い、このリンイオンをおよそ1200°C、13時間で熱拡散させている。

【0026】

また、前記基板1上に形成した第1のレジスト膜（図示省略）をマスクにしてN型不純物（例えば、リンイオン）を注入し、当該第1のレジスト膜を除去した後に前記基板1上に形成した第2のレジスト膜（図示省略）をマスクにしてP型不純物（例えば、ボロンイオン）を注入し拡散することで、前記N型ウエル領域2内にそれぞれN-領域3及びP型ボディー領域4を形成する。尚、本工程では、例えば、リンイオンをおよそ100KeVの加速電圧で、およそ $4.0 \times 10^{12} / \text{cm}^2$ の注入量で注入し、また、例えばボロンイオンをおよそ80KeVの加速電圧で、およそ $1.5 \times 10^{13} / \text{cm}^2$ の注入量で注入した後に、およそ1050°Cで2時間熱拡散させている。

【0027】

続いて、図3において、前記基板1上に形成したパッド酸化膜及び所定領域に開口を有する耐酸化性膜（例えば、シリコン窒化膜）を形成し（共に図示省略）

、当該耐酸化性膜及びパッド酸化膜をマスクにLOCOS法によりフィールド酸化することで、およそ1100nmの膜厚の絶縁膜5を形成する。

【0028】

次に、図4において、前記絶縁膜5上の所定領域に形成した第3のレジスト膜6をマスクにして当該絶縁膜5をパターニングして第1のゲート絶縁膜7A及び素子分離膜7Bを形成する。尚、本工程では、前記絶縁膜5をフッ酸等を用いて等方性エッチングすることで、その側壁部がテーパー形状となるようにパターニングしている。また、等方性ガスを用いたドライエッチングや、ウェットとドライとを組み合わせた等方性エッチング処理でも良い。

【0029】

続いて、図5において、前記第1のゲート絶縁膜7A及び前記素子分離膜7B以外の基板上を熱酸化しておよそ45nmの膜厚の第2のゲート絶縁膜8を形成し、この第2のゲート絶縁膜8から前記第1のゲート絶縁膜7A上に跨るようにゲート電極9をおよそ400nm程度の膜厚で形成する。尚、本実施形態のゲート電極9は、POCl₃を熱拡散源にしてリンドープし導電化を図ったポリシリコン膜から構成されている。更に言えば、このポリシリコン膜の上にタンゲステンシリサイド(WSix)膜等が積層されて成るポリサイド電極としても良い。

【0030】

また、図6において、前記P型ボディー領域4内に形成するソース形成領域上及び前記N-領域3内に形成するドレイン形成領域上に開口部を有する第4のレジスト膜10をマスクにしてN型不純物を注入してソース・ドレイン領域となるN型(N+)領域11, 12を形成する。尚、本工程において、例えば、いわゆるLDD構造のソース・ドレイン領域を形成する場合には、先ず、図6に示すレジスト膜10をマスクにして、例えば、リンイオンをおよそ70KeVの加速電圧で、およそ $1.0 \times 10^{14} / \text{cm}^2$ の注入量で注入した後に、図示した説明は省略するが、前記ゲート電極9の側壁部にサイドウォールスペーサ膜を形成し、再度、第4のレジスト膜を形成した状態で、例えば、ヒ素イオンをおよそ80KeVの加速電圧で、およそ $6.0 \times 10^{15} / \text{cm}^2$ の注入量で注入する。尚、本実施形態において、ソース・ドレイン領域はLDD構造に限定されるものではな

いことは言うまでもないことである。

【0031】

また、図7において、前記P型ボディー領域4の電位を取るために、第5のレジスト膜13をマスクにして前記N+領域11に隣接する位置にP型不純物（例えば、二フッ化ボロンイオン）を注入してP型（P+）領域14を形成する。尚、本工程では、例えば、二フッ化ボロンイオンをおよそ60KeVの加速電圧で、 $4 \times 10^{15} / \text{cm}^2$ の注入量で注入する。

【0032】

そして、図8において、全面を被覆するように層間絶縁膜15を形成し、ソース電極S、ゲート電極G、ドレイン電極Dを形成した後に、不図示のパッシバーション膜を形成して半導体装置を完成させる。

【0033】

以上説明したように、本発明では、従来のような第1のゲート絶縁膜並びに素子分離膜の形成方法とは異なり、半導体基板1上にLOCOS法により絶縁膜5を形成し、これを所望形状にパターニングすることで、第1のゲート絶縁膜7A並びに素子分離膜7Bを形成しているため、前記第1のゲート絶縁膜7Aは、少なくとも前記基板表面位置よりも下には形成されることがない。従って、本発明では、半導体基板（Si）とゲート絶縁膜（SiO₂膜）界面での凹凸領域がなくなり、従来（図9）のようなP型ボディー領域4の端部と第1のゲート絶縁膜56の端部との間で局部電流密集が発生することがない。そのため、ソースードレイン間で電流が流れ易くなり、低オン抵抗化が図れる。

【0034】

また、上記構造を採用することで、前記第1のゲート絶縁膜7Aの端部（壁）とP型ボディー領域4の端部（壁）に囲まれた空間を広げることで等電位線を分散させる必要がなくなり、微細化を妨げることがない。

【0035】

尚、本実施形態では、前記基板1上をLOCOS法によりフィールド酸化することで絶縁膜5を形成し、これをパターニングすることで、前記第1のゲート絶縁膜7Aや素子分離膜7Bを形成しているが、本発明はこれに限定されるもので

はなく、例えば、基板上にCVD法により酸化膜を形成し、これを所望形状にパターニングすることで、前記第1のゲート絶縁膜7Aや素子分離膜7Bを形成させても良い。

【0036】

このように本発明は、LOCOS法でもCVD法でも可能であるが、更に言えば、CVD法とLOCOS法とを比較すると、LOCOS法では以下の利点がある。

【0037】

先ず、CVD法により形成される酸化膜に比べ、LOCOS法により形成される熱酸化膜はより高品質であるため、信頼性が向上する。また、CVD酸化膜を形成することによる工程の増加がない。更に、他の領域、他のデバイスとの整合性が良い。即ち、例えば、本実施形態で説明したようにLOCOS法によればLOCOS素子分離膜を従来通り使えるのに対して、CVD法を採用した場合には、他の領域においてもLOCOS膜を使用できなくなる。

【0038】

【発明の効果】

本発明によれば、第1のゲート絶縁膜が、少なくとも基板表面位置よりも下には形成されていないため、従来のように一導電型ボディー領域の端部と第1のゲート絶縁膜の端部との間で局部電流密集が発生することがない。

【0039】

また、LOCOS法により形成される高品質な絶縁膜を用いているため、信頼性が向上する。

【0040】

更に、本発明の製造方法によれば、LOCOS法により絶縁膜を形成しているため、他の領域、他のデバイスとの整合性が良い。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図8】

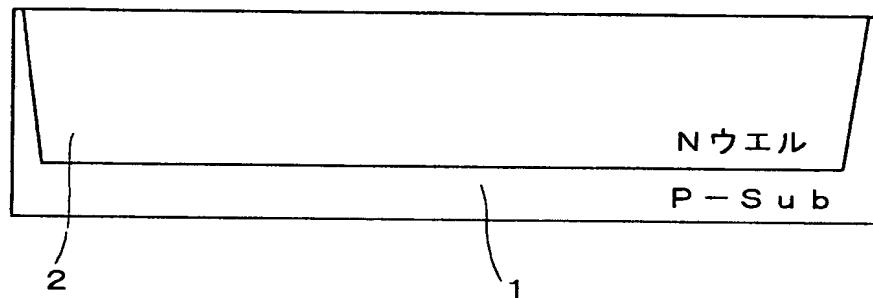
本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図9】

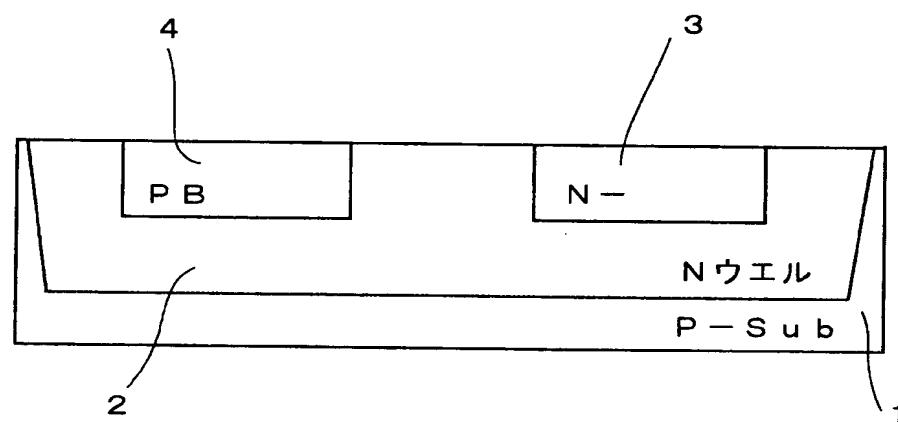
従来の半導体装置を示す断面図である。

【書類名】 図面

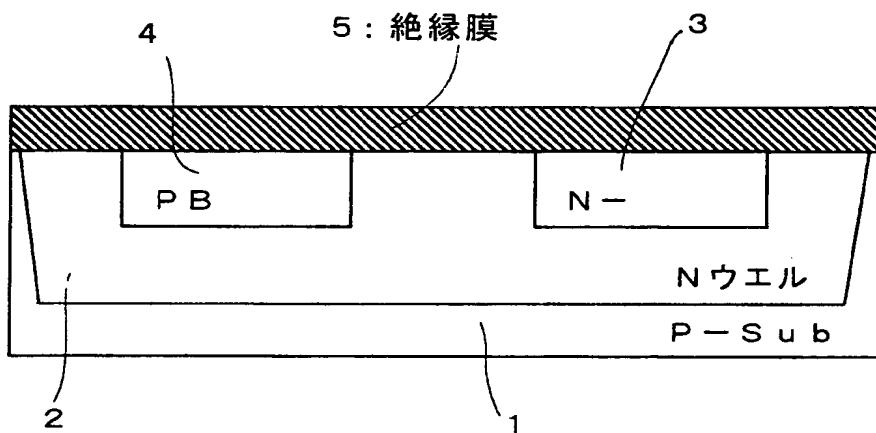
【図1】



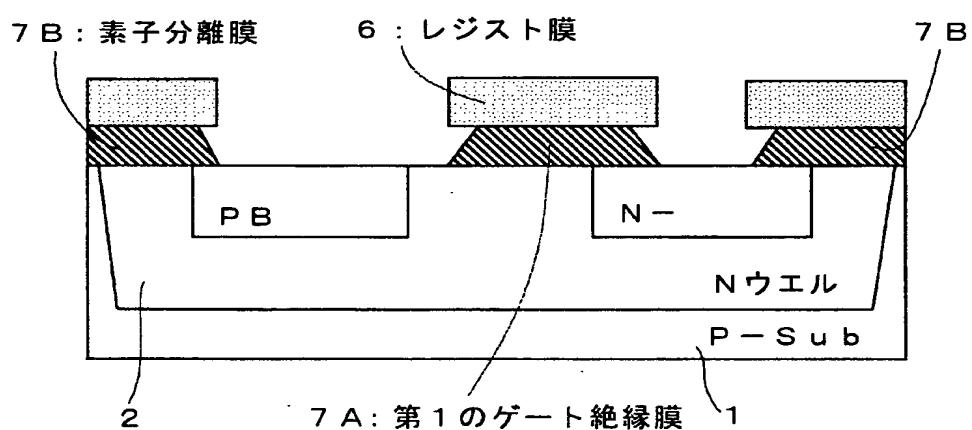
【図2】



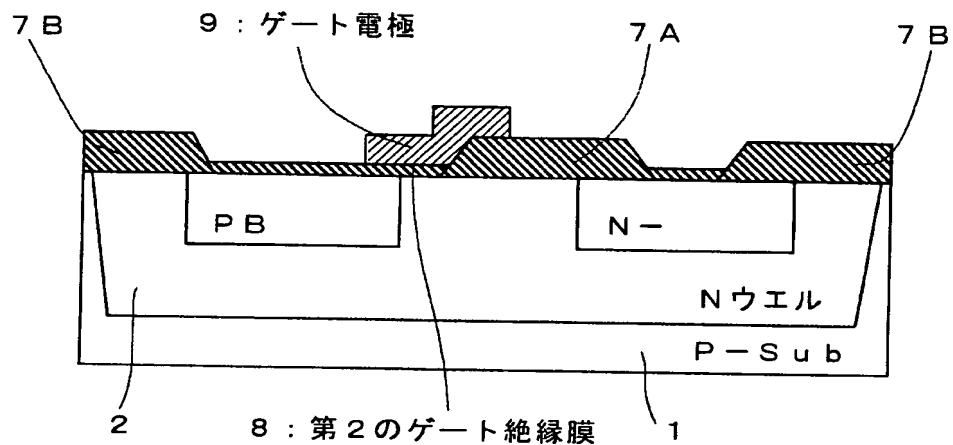
【図3】



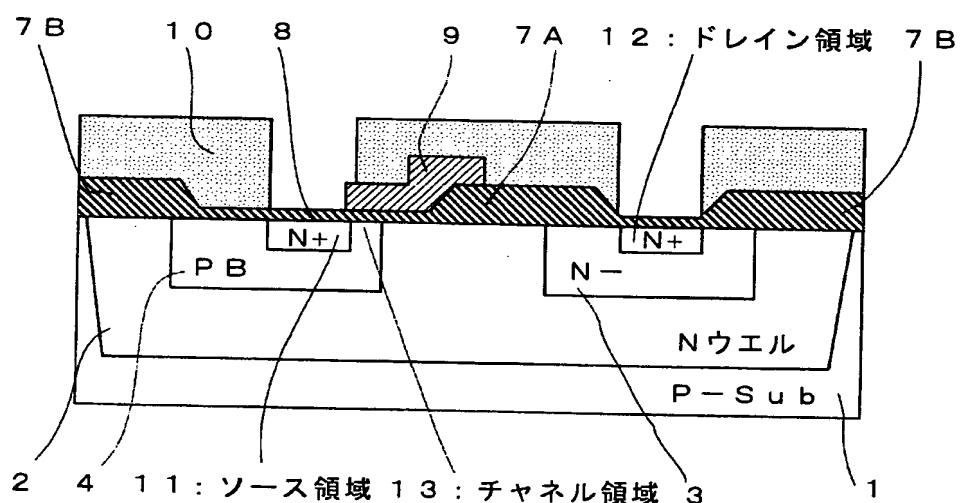
【図4】



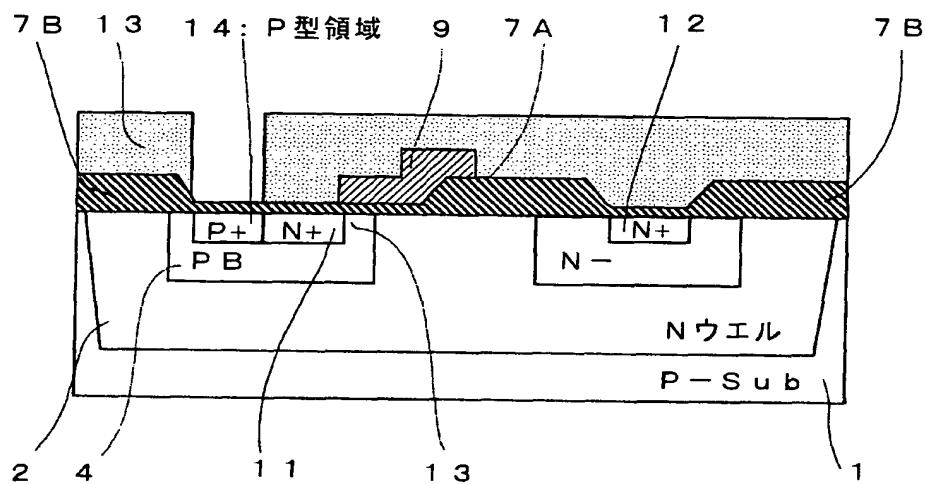
【図5】



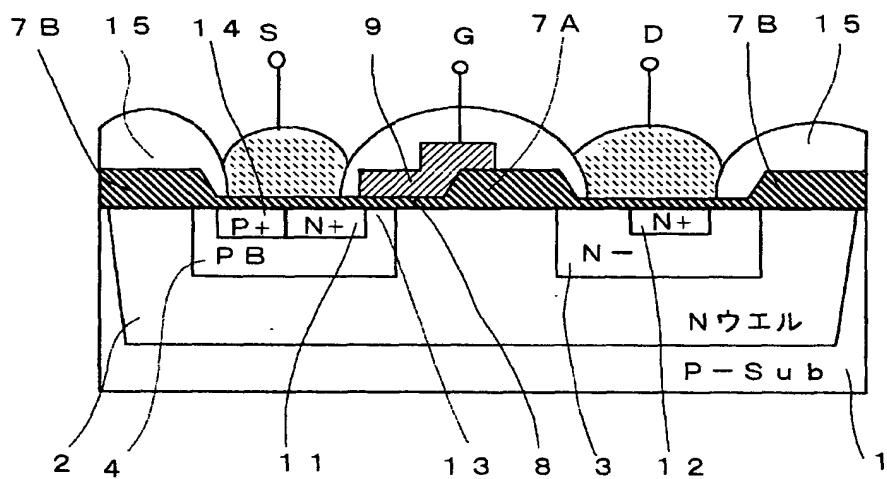
【図6】



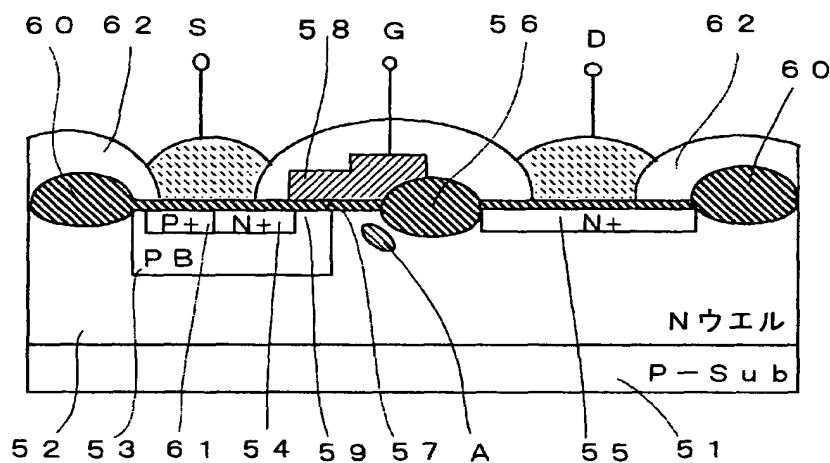
【図7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 一導電型ボディー領域の端部と第1のゲート絶縁膜の端部との間で発生する局部電流密集を低減する。

【解決手段】 P型の半導体基板1内のN型ウエル領域2上にパターニング形成された第1のゲート絶縁膜7Aと、この第1のゲート絶縁膜7A以外の基板上に形成された第2のゲート絶縁膜8と、前記第1、第2のゲート絶縁膜7A、8上に跨るように形成されたゲート電極9と、このゲート電極9に隣接するように形成されたP型ボディー領域4と、このP型ボディー領域4内に形成されたN型のソース領域11並びにチャネル領域13と、当該P型ボディー領域4と離間された位置に形成されたN型のドレイン領域12とを具備したことを特徴とする半導体装置。

【選択図】 図8

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社